

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-135819

(43)Date of publication of application : 18.05.2001

(51)Int.Cl.

H01L 29/78
H01L 29/861

(21)Application number : 2000-189590

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 23.06.2000

(72)Inventor : UENO KATSUNORI

(30)Priority

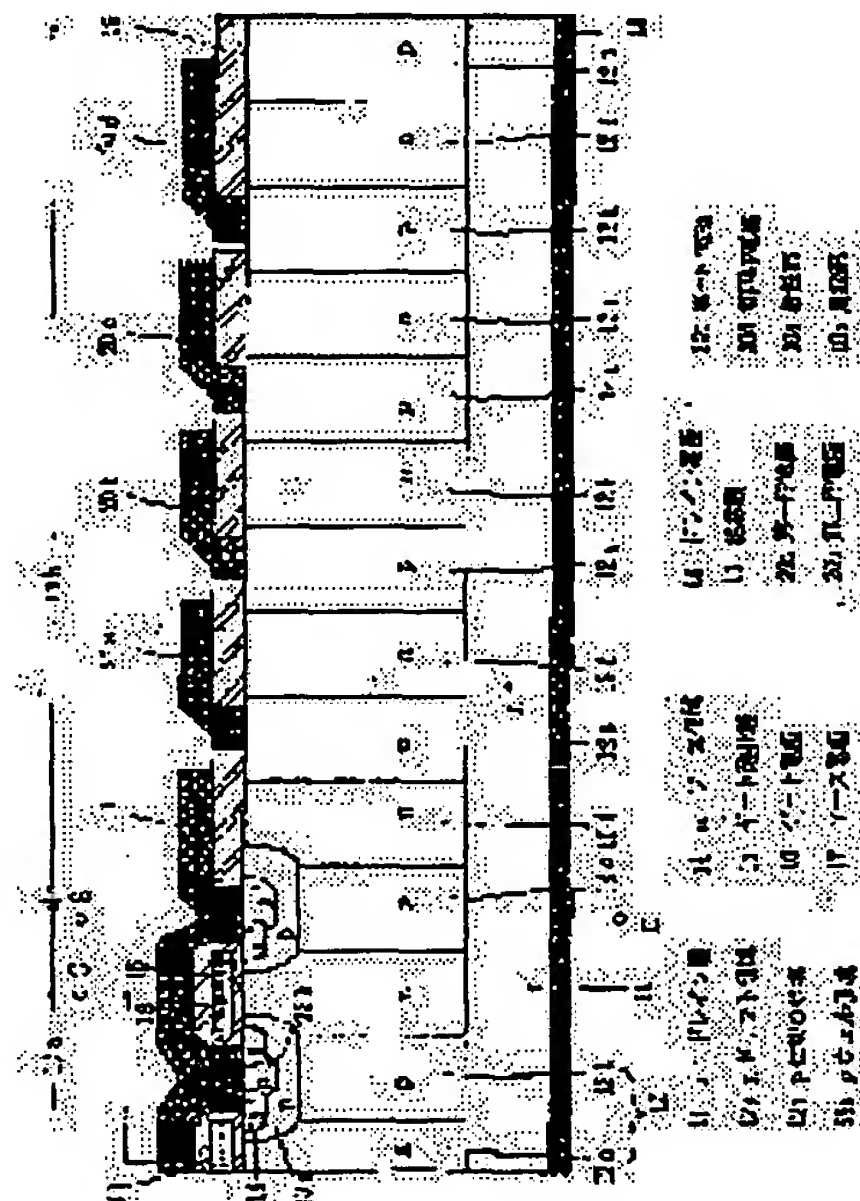
Priority number : 11235174 Priority date : 23.08.1999 Priority country : JP

(54) SUPER-JUNCTION SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a super-junction semiconductor element which prevents generation of electric field convergence and realizes a high breakdown voltage in the super-junction semiconductor element comprising a parallel pn layer in which a current flows in an on state and which depletes in an off state.

SOLUTION: (1) A parallel pn layer of (n) drift regions 12d, 12f, 12h, 12j, 12l, and (p) partition regions 12c, 12e, 12g, 12i, 12k, 12m is provided outside an active region. (2) A first FP electrode 17a is provided on the (n) drift region 12d of the parallel pn layer outside the active region via an insulation film 19. The first FP electrode 17a comes into contact with a surface of the inside (p) partition region 12c, or is floated. It may be across a plurality of the (n) drift regions. Furthermore, a resistor is provided between the neighboring FP electrodes. (3) There is provided an (n) stopper region which reaches a low resistance layer outside the active region in a vertical direction of the parallel pn layer.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

1

【特許請求の範囲】

【請求項 1】第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子において、電流が流れる素子活性部を囲む素子外周部に第一導電型ドリフト領域と第二導電型仕切り領域とが交互に繰り返し配置された並列 p n 層を有することを特徴とする超接合半導体素子。

【請求項 2】前記素子外周部の並列 p n 層と、前記素子活性部の並列 p n 層とが第一主面に対して垂直な配置であることを特徴とする請求項 1 記載の超接合半導体素子。

【請求項 3】前記素子外周部の並列 p n 層と、前記素子活性部の並列 p n 層とが連続した配置であることを特徴とする請求項 1 または請求項 2 に記載の超接合半導体素子。

【請求項 4】前記素子外周部における第一導電型ドリフト領域と第二導電型仕切り領域の各不純物量が、前記素子活性部における第一導電型ドリフト領域と第二導電型仕切り領域の各不純物量と等しいことを特徴とする請求項 1 ないし請求項 3 のいずれかに記載の超接合半導体素子。

【請求項 5】前記素子外周部の並列 p n 層と、前記素子活性部の並列 p n 層とが平面的にストライプ状であり、かつ平行した配置であることを特徴とする請求項 1 ないし請求項 4 のいずれかに記載の超接合半導体素子。

【請求項 6】第一導電型ドリフト領域と第二導電型仕切り領域の領域幅が前記素子外周部と前記素子活性部とで等しいことを特徴とする請求項 5 記載の超接合半導体素子。

【請求項 7】前記素子外周部および前記素子活性部における第一導電型ドリフト領域と第二導電型仕切り領域のいずれか一方が、平面的に多角形格子の格子点上に配置されていることを特徴とする請求項 1 ないし請求項 4 のいずれかに記載の超接合半導体素子。

【請求項 8】前記素子外周部における並列 p n 層表面の少なくとも一部が絶縁膜で覆われていることを特徴とする請求項 1 ないし請求項 7 のいずれかに記載の超接合半導体素子。

【請求項 9】前記素子活性部に隣接した前記素子外周部の並列 p n 層上に形成された絶縁膜の一部が第一主面上の主電極で覆われることを特徴とする請求項 1 ないし請求項 8 のいずれかに記載の超接合半導体素子。

【請求項 10】前記素子外周部の並列 p n 層上に絶縁膜を介して少なくとも 1 つのフィールドプレート電極を有することを特徴とする請求項 1 ないし請求項 9 のいずれかに記載の超接合半導体素子。

【請求項 11】前記フィールドプレート電極の内側が前

2

記素子活性部側の第二導電型仕切り領域の表面に接触していることを特徴とする請求項 10 記載の超接合半導体素子。

【請求項 12】前記フィールドプレート電極が素子外周部の少なくとも 1 つの第一導電型ドリフト領域を跨って設けられていることを特徴とする請求項 10 または請求項 11 に記載の超接合半導体素子。

【請求項 13】前記フィールドプレート電極が浮遊電位であることを特徴とする請求項 10 ないし請求項 12 のいずれかに記載の超接合半導体素子。

【請求項 14】複数のフィールドプレート電極の間が抵抗性膜で接続されていることを特徴とする請求項 10 ないし請求項 13 のいずれかに記載の超接合半導体素子。

【請求項 15】前記素子外周部の並列 p n 層上に絶縁膜を介して抵抗性膜を設けたことを特徴とする請求項 1 ないし請求項 9 のいずれかに記載の超接合半導体素子。

【請求項 16】前記素子外周部の外側に、第一導電型のチャンネルストップ領域を有していることを特徴とする請求項 1 ないし請求項 15 のいずれかに記載の超接合半導体素子。

【請求項 17】前記素子外周部の外側に、第一導電型のチャンネルストップ領域を有し、前記チャンネルストップ領域が前記素子外周部および前記素子活性部のストライプ状に形成した第一導電型ドリフト領域と第二導電型仕切り領域に対して垂交していることを特徴とする請求項 5 または請求項 6 に記載の超接合半導体素子。

【請求項 18】前記チャンネルストップ領域が前記低抵抗層まで達することを特徴とする請求項 16 または請求項 17 に記載の超接合半導体素子。

【請求項 19】前記チャンネルストップ領域が複数の第二導電型仕切り領域との間で p n 接合を形成していることを特徴とする請求項 16 ないし請求項 18 のいずれかに記載の超接合半導体素子。

【請求項 20】第一主面と平行な少なくとも 1 つの断面において、前記第二導電型仕切り領域の少なくとも 1 つが第一導電型ドリフト領域とチャンネルストップ領域とにより囲まれることを特徴とする請求項 16 ないし請求項 19 のいずれかに記載の超接合半導体素子。

【請求項 21】前記チャンネルストップ領域の不純物濃度が前記第一導電型ドリフト領域の不純物濃度以下であることを特徴とする請求項 16 ないし請求項 20 のいずれかに記載の超接合半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、オン状態では電流を流すとともに、オフ状態では空乏化する並列 p n 層からなる特別な縦型構造を備える MOSFET（絶縁ゲート型電界効果トランジスタ）、IGBT（絶縁ゲートバイポーラトランジスタ）、バイポーラトランジスタ、ダイオード等の半導体素子に関する。

3

〔0002〕

【従来の技術】一般に半導体装置は、片面に電極部を持つ横型素子と、両面に電極部を持つ縦型素子とに大別できる。縦型素子は、オン時にドリフト電流が流れる方向と、オフ時に逆バイアス電圧による空乏層が延びる方向とが共に基板の厚み方向（縦方向）である。この相対向する二つの主面に設けられた電極間に電流が流される縦型半導体素子において、高耐圧化を図るには、両電極間の高抵抗層の比抵抗を大きく、厚さを厚くしなければならなかった。

【0003】図10は、これまでのパワーデバイスの一例である縦型MOSFETの斜視断面図である。高抵抗のnドリフト層2の表面層に、pウェル領域3が形成され、そのpウェル領域3内にn⁺ソース領域4が形成されている。n⁺ソース領域4の表面からnドリフト層1に達するトレンチ9が掘り下げられ、そのトレンチ9内にゲート絶縁膜5を介してゲート電極6が埋め込まれている。pウェル領域3とn⁺ソース領域4との表面に共通に接触してソース電極が設けられる。nドレイン層1に接触してドレイン電極が設けられる。

【0004】このような縦型素子において、高抵抗のnドリフト層2の部分は、MOSFETがオン状態のときは縦方向にドリフト電流を流す領域として働き、オフ状

$$R_{ON}A = \frac{27}{8} \cdot \frac{V_B^2}{\mu \epsilon E_c^3} \quad (1)$$

ここでV_Bは耐圧、μは電子移動度、εは半導体の誘電率、E_cは最大電界強度である。すなわちオン抵抗R_{ON}Aは、耐圧V_Bの二乗に比例し、耐圧V_Bの上昇とともに急速に増大する。

【0006】この高耐圧化に伴うオン抵抗の増大は、MOSFETばかりでなくドリフト層を持つIGBT、バイポーラトランジスタ、ダイオード等の高耐圧パワーデバイスにとって大きな問題であった。近年、新しい接合構造によって、上記の問題がブレークスルーされつつある【例えば、G. Deboy et al. 'A new generation of high voltage MOSFETs break the limit line of silicon', Technical digest of IEDM'98 (1998), pp. 683-685, EP0053854, USP5216275, USP5438215, および特開平9-266311号公報参照】。その構造は、ドリフト層を不純物濃度を高めたn型の領域とp型の領域とを交互に並置した並列pn層で構成し、オン状態のときは電流を流すとともに、オフ状態のときは空乏化して耐圧を担持するようにしたも※

$$R_{ON}A = 4d \cdot \frac{V_B}{\mu \epsilon E_c^2} \quad (2)$$

ここでdはnドリフト領域12aの幅である。

【0009】すなわち、(1)式と比較するとオン抵抗R_{ON}Aは耐圧V_Bに比例するに過ぎず、耐圧が高くなっ

4

*態のときはpウェル領域3とのpn接合から空乏層が拡張して空乏化し耐圧を高める働きをする。この高抵抗のnドリフト層2の厚さ（電流経路長）を薄くすることは、オン状態ではドリフト抵抗が低くなるのでMOSFETの実質的なオン抵抗（ドレイン-ソース間抵抗）を下げる効果に繋がるものの、オフ状態ではpウェル領域3とnドリフト層2との間のpn接合から拡張するドレイン-ベース間空乏層の拡張幅が狭くなるため、空乏電界強度がシリコンの最大（臨界）電界強度に速く達するので、ブレークダウンが生じ、耐圧（ドレイン-ソース間電圧）が低下してしまう。逆にnドリフト層2を厚く形成すると、高耐圧化を図ることができるが、必然的にオン抵抗が大きくなり、オン損失が増す。即ち、オン抵抗（電流容量）と耐圧との間にはトレードオフの関係がある。耐圧は、この図のnドリフト層2とpウェル領域3との間のpn接合から広がる空乏層によって維持され、nドリフト層2の不純物濃度が低い程、厚さが厚い程、高耐圧化できる。

【0005】この縦型MOSFETのオン抵抗R_{ON}Aと耐圧V_Bの間には、次式の関係がある【Hu, C., Rec. Power Electronics Specialists Conf., San Diego, (1979) p. 385 参照】。

※のである。

【0007】本発明の発明者らは、オン状態では電流を流すとともに、オフ状態では空乏化する並列pn層からなるドリフト層を備える半導体素子を超接合半導体素子と称することとした。図11は、超接合構造を利用した縦型MOSFETの斜視断面図である。図10では単一層とされたドリフト層12が、nドリフト領域12aとp仕切り領域12bとからなる並列pn層とされている点が特徴的である。13はpウェル領域、14はn⁺ソース領域、15はゲート絶縁膜、16はゲート電極である。pウェル領域13とn⁺ソース領域14との表面に共通に接触してソース電極が設けられる。nドレイン層11に接触してドレイン電極が設けられる。

【0008】この構造ではオン抵抗R_{ON}Aと耐圧V_Bとの関係は次式のようなになる【T. Fujihira 'Theory of Semiconductor Superjunction Devices' Jpn. J. Appl. Phys. Vol. 36 (1997), pp. 6254-6262参照】。

てもオン抵抗はそれほど増大しないことを示している。図12は、超接合半導体素子の耐圧-オン抵抗の関係を示した特性図である。横軸は耐圧V_B、縦軸はオン

5

抵抗 R_{ON} である。▲印、□印、■印はそれぞれ、 n ドリフト領域12aの幅 d を50nm、500nm、5 μ mとした場合である。比較のため、従来の単一ドリフト層を持つ半導体素子の耐圧—オン抵抗の関係を破線で示した。

【0010】たとえば、1000V耐圧の半導体素子の場合には、 n ドリフト領域12aの幅 d を5 μ m、不純物濃度と厚さをそれぞれ $5 \times 10^{15} \text{cm}^{-3}$ 、60 μ mとすると、超接合半導体素子のオン抵抗は、従来の半導体素子に比べて一桁以上小さくなることわかる。このよう10
なドリフト層12は例えば、 n^+ ドレイン層11をサブストレートとしてエピタキシャル法により、高抵抗の n 型層を成長し、選択的に n^+ ドレイン層11に達するトレンチをエッチングして n ドリフト領域12aとした後、更にトレンチ内にエピタキシャル法により p 型層を成長して p 仕切り領域12bとする方法で形成される。

【0011】

【発明が解決しようとする課題】従来、一般的なパワーデバイスにおいては半導体素子の周辺部にガードリング20
やフィールドプレートなどの耐圧構造が設けられて、耐圧が維持された。図13(a)はガードリングを設けた半導体素子の断面図、同図(b)はフィールドプレートを設けた半導体素子の断面図である。左側の電源により電圧を印加した時の空乏層の広がり破線を示した。

【0012】これらの耐圧構造を設けることにより、空乏層を広げ、表面での電界集中を緩和して、理想的な p n 接合の耐圧に近づけようとするものである。上記の超接合半導体素子に関する発明や報告では、いずれも並列 p n 層からなるドリフト層のうち主電流の流れる活性部の記述がなされているのみで、高耐圧を実現するために30
通常設けられる耐圧構造の記載が無い。

【0013】このように、耐圧構造が設けられず、並列 p n 層からなるドリフト層の部分だけであると、高耐圧は実現できない。また、超接合半導体素子においては、基本的な接合構造が異なることから、従来のガードリング、フィールドプレート等の構造をそのままは使用できない。以上の問題に鑑み本発明の目的は、電界集中の発生を防止し、高耐圧を実現できる超接合半導体素子を提供することにある。

【0014】

【課題を解決するための手段】上記課題解決のため本発明は、第一と第二の主面と、それぞれの主面に設けられた電極と、第一と第二の主面間に低抵抗層と、オン状態では電流を流すとともにオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列 p n 層とを備える超接合半導体素子において、電流が流れる素子活性部を囲む素子外周部に第一導電型ドリフト領域と第二導電型仕切り領域とが交互に繰り返し配置された並列 p n 層を有することとする。また、前記素子外周部の並列 p n 層と、前記素子活性部の50

6

並列 p n 層とが第一主面に対して概ね垂直な配置であるとい。更に、前記素子外周部の並列 p n 層と、前記素子活性部の並列 p n 層とが連続した配置であるとい。素子活性部の周りに並列 p n 構造が配置されているため、オフ状態では、多重の p n 接合面から空乏層が双方に拡張し、素子活性領域の近傍に限らず、外方向や第二主面側まで空乏化するので、素子外周部の耐圧が大きくなる。

【0015】前記素子外周部における第一導電型ドリフト領域と第二導電型仕切り領域の各不純物量が、前記素子活性部における第一導電型ドリフト領域と第二導電型仕切り領域の各不純物量とほぼ等しいことがよい。また、前記素子外周部の並列 p n 層と、前記素子活性部の並列 p n 層とが平面的にストライプ状であり、かつ概ね平行した配置であるとい。更に、第一導電型ドリフト領域と第二導電型仕切り領域の領域幅が前記素子外周部と前記素子活性部とでほぼ等しいことがよい。つまり、第一主面側の素子活性領域からドリフト部を介して第二主面側の第一導電型の低抵抗層に到達する直線状の電気力線の長さに対し、素子活性領域の側部から素子外周部を介して第一導電型の低抵抗層に到達する曲線状の電気力線の方が長い分だけ、素子外周部の並列 p n 構造とドリフト部が同一不純物濃度でも、素子外周部の並列 p n 構造の空乏電界強度の方が低くなることから、素子外周部の耐圧はドリフト部の耐圧よりも大きい。従って、ドリフト部に縦型の並列 p n 構造を採用した超接合半導体素子であっても、素子外周部の耐圧が十分に保証されているため、ドリフト部の並列 p n 構造の最適化が容易で、超接合半導体素子の設計自由度が高まり、超接合半導体素子を実用化できる。ここで、望ましくは、素子外周部の並列 p n 構造はドリフト部の並列 p n 構造よりも不純物量が少ないのが良い。素子外周部が空乏化し易くなるため、耐圧をドリフト部の耐圧よりも確実に大きくでき、信頼性が向上する。

【0016】前記素子外周部および前記素子活性部における第一導電型ドリフト領域と第二導電型仕切り領域のいずれか一方が、平面的に三方格子、四方格子あるいは六方格子等の多角形格子の格子点上に配置されているとよい。縦型の並列 p n 構造自体の形成が容易となるからである。前記素子外周部における並列 p n 層表面の少なくとも一部が絶縁膜で覆われているとよい。また、前記素子活性部に隣接した前記素子外周部の並列 p n 層上に形成された絶縁膜の一部が第一主面上の主電極で覆われるとよい。更に、前記素子外周部の並列 p n 層上に絶縁膜を介して少なくとも1つのフィールドプレート電極を有するとよい。そして、前記フィールドプレート電極の内側が前記素子活性部側の第二導電型仕切り領域の表面に接触しているとよい。また、前記フィールドプレート電極が素子外周部の少なくとも1つの第一導電型ドリフト領域を跨って設けられているとよい。また、前記フィ

7

ールドプレート電極が浮遊電位であるとよい。このようにフィールドプレート電極を用い、フィールドプレート電極に適当な電位を与えることにより、電圧印加時にフィールドプレート電極の下第一導電型ドリフト領域に空乏層が広げられ、素子活性部の電極端部での電界集中が抑えられ、表面電界が緩和される。そして、内側の第二導電型仕切り領域に接触させれば、活性部の電極に近い電位を与えることができる。また、浮遊させれば、容量を介して適当な電位配分を与えることができる。

【0017】複数のフィールドプレート電極の間が抵抗性膜で接続されているとよい。また、前記素子外周部の並列pn層上に絶縁膜を介して抵抗性膜を設けるとよい。抵抗性膜で接続することで、各フィールドプレート電極の電位が固定される。並列pn層上に絶縁膜を介して抵抗性膜を設けることにより、全体に均一な電位分布を与えることができる。

【0018】前記素子外周部の外側に、第一導電型のチャンネルストッパ領域を有しているとよい。前記素子外周部の外側に、第一導電型のチャンネルストッパ領域を有し、前記チャンネルストッパ領域が前記素子外周部および前記素子活性部のストライプ状に形成した第一導電型ドリフト領域と第二導電型仕切り領域に対して概ね垂交しているとよい。前記チャンネルストッパ領域が前記低抵抗層まで達するとよい。前記チャンネルストッパ領域が複数の第二導電型仕切り領域との間でpn接合を形成しているとよい。第一主面と平行な少なくとも1つの断面において、前記第二導電型仕切り領域の少なくとも1つが第一導電型ドリフト領域とチャンネルストッパ領域とにより囲まれるとよい。前記チャンネルストッパ領域の不純物濃度が前記第一導電型ドリフト領域の不純物濃度と同じかそれ以下であるとよい。

【0019】並列pn層の端部をダイシングによって切断したままでは、切断した部分からp仕切り領域を通じてリーク電流がソース電極へと流れ込み、リーク電流の増大を招く。第一導電型ストッパ領域を設けることにより、そのようなリーク電流の増大を防止する。複数の第一導電型ストッパ領域を設ければ、より確実に高耐圧化を図れる構造となる。

【0020】

【発明の実施の形態】以下に本発明の実施の形態を添付図面に基づいて説明する。なお、以下でnまたはpを冠した層、領域は、それぞれ電子、正孔を多数キャリアとする層、領域を意味している。また+は、比較的高不純物濃度の領域を意味している。

【実施例】図1は、本発明の実施例の縦型の超接合MOSFETの周縁部の部分断面図である。図の左側が主電流の流れる素子の活性部10aであり、右側が耐圧を分担する周縁部10bである。なお、本発明は、耐圧を分担する周縁部10bに関するものであり、活性部の種類に依らないので、実施例はトレンチ型ではなく、プレー

8

ナ型のMOSFETとした。図12に断面図を示したようなトレンチ型であってもよいことは勿論である。

【0021】図1において、11は低抵抗のn+ドレイン層、12はnドリフト領域12a、p仕切り領域12bとからなる並列pn層のドリフト層である。表面層には、p仕切り領域12bに接続してpウェル領域13aが形成されている。pウェル領域13aの内部にn+ソース領域14と高濃度のp+コンタクト領域13bとが形成されている。n+ソース領域14とnドリフト領域12aとに挟まれたpウェル領域13aの表面上には、ゲート絶縁膜15を介して多結晶シリコンのゲート電極16が、また、n+ソース領域14と高濃度のp+コンタクト領域13bの表面に共通に接触するソース電極17が設けられている。n+ドレイン層11の裏面にはドレイン電極18が設けられている。19は表面保護および絶縁のための絶縁膜であり、例えば、熱酸化膜と燐シリカガラス(PSG)からなる。ソース電極17は、図のように絶縁膜19を介してゲート電極16の上に延長されることが多い。図示しない部分で、ゲート電極16上に金属膜のゲート電極が設けられている。ドリフト層12のうちドリフト電流が流れるのは、nドリフト領域12aであるが、以下ではp仕切り領域12bを含めた並列pn層をドリフト層12と呼ぶことにする。

【0022】nドリフト領域とp仕切り領域との平面的な形状は例えば、共に紙面に垂直方向に伸びたストライプ状とする。なおこの実施例では、pウェル領域13aもストライプ状であり、しかもp仕切り領域12bの上方に設けられているが、必ずしもこのようでなければならぬ訳ではなく、図12のように、互いに直交するストライプ状とすることもできる。nドリフト領域とp仕切り領域との平面的な形状としては、一方が三方格子、四方格子あるいは六方格子等の多角形格子状や網状であり、他方がその中に挟まれた形状でも良い。その他多様な配置が考えられる。

【0023】この実施例の超接合半導体素子の電流を流す活性部10aの外側の周縁部10bでは、ソース電極17が接触している最外側のp仕切り領域12cに隣接するnドリフト領域12d上に絶縁膜19を介してソース電極17が延長されている。これにより、nドリフト領域12dの表面層にp仕切り領域12cの電位の影響がおよぼされ、表面での電界は緩和される。

【0024】そして、そのnドリフト領域12dに隣接するp仕切り領域12eが設けられており、さらにその外側にp仕切り領域12g、12i、12kが同様に設けられている。この構造は、得たい耐圧に応じて必要な数だけ繰り返される。例えば、400VクラスのMOSFETとして、各部の寸法および不純物濃度等は次のような値をとる。n+ドレイン層11の比抵抗は0.01Ω・cm、厚さ350μm、ドリフト層12の厚さ30μm、nドリフト領域およびp仕切り領域の幅10μm

9

(すなわち、同じ領域の中心間隔 $20\mu\text{m}$)、平均不純物濃度 $2.5 \times 10^{15}\text{cm}^{-3}$ 、pウェル領域13aの拡散深さ $1\mu\text{m}$ 、表面不純物濃度 $1 \times 10^{17}\text{cm}^{-3}$ 、n⁺ソース領域14の拡散深さ $0.3\mu\text{m}$ 、表面不純物濃度 $1 \times 10^{20}\text{cm}^{-3}$ である。また絶縁膜19は酸化膜を用い、厚さは $1\mu\text{m}$ である。この厚さは隣の並列pn層へ印加する電圧の設定に関係するが $0.1 \sim 1\mu\text{m}$ 程度である。このような数値としたとき、図1の超接合MOSFETは、十分に耐圧 400V を満足した。つまり、p仕切り領域12bとは接続しないp仕切り領域12e、12g、12i、12k、12mは浮遊状態であってガードリングとして機能し、また、nドリフト領域12d、12f、12h、12j、12lはn⁺ドレイン層11を介してドレイン電極に電氣的に接続しているため、素子外周部の並列pn構造のpn接合から拡張した空乏層によって、基板厚み全長に亘り概ね空乏化される。このため、ガードリング構造やフィールドプレート構造のように素子外周部の表面側を空乏化させるだけでなく、外方向や基板深部までも空乏化させることができるので、素子外周部の電界強度を緩和でき、耐圧を確保できる。それ故、超接合半導体素子の高耐圧化を実現できる。

【実施例1】図2は、本発明の実施例1の縦型の超接合MOSFETの周縁部の部分断面図である。図の左側が主電流の流れる素子の活性部10aであり、右側が耐圧を分担する周縁部10bである。なお、本発明は、耐圧を分担する周縁部10bに関するものであり、活性部の種類に依らないので、実施例はトレンチ型ではなく、プレーナ型のMOSFETとした。図11に断面図を示したようなトレンチ型であってもよいことは勿論である。

【0025】図2において、11は低抵抗のn⁺ドレイン層、12はnドリフト領域12a、p仕切り領域12bとからなる並列pn層のドリフト層である。表面層には、p仕切り領域12bに接続してpウェル領域13aが形成されている。pウェル領域13aの内部にn⁺ソース領域14と高濃度のp⁺コンタクト領域13bとが形成されている。n⁺ソース領域14とnドリフト領域12aとに挟まれたpウェル領域13aの表面上には、ゲート絶縁膜15を介して多結晶シリコンのゲート電極16が、また、n⁺ソース領域14と高濃度のp⁺コンタクト領域13bの表面に共通に接触するソース電極17が設けられている。n⁺ドレイン層11の裏面にはドレイン電極18が設けられている。19は表面保護および絶縁のための絶縁膜であり、例えば、熱酸化膜と燐シリカガラス(PSG)からなる。ソース電極17は、図のように絶縁膜19を介してゲート電極16の上に延長されることが多い。図示しない部分で、ゲート電極16上に金属膜のゲート電極が設けられている。ドリフト層12のうちドリフト電流が流れるのは、nドリフト領域12aであるが、以下ではp仕切り領域12bを含めた並

10

列pn層をドリフト層12と呼ぶことにする。

【0026】nドリフト領域とp仕切り領域との平面的な形状は例えば、共に紙面に垂直方向に伸びたストライプ状とする。なおこの実施例では、pウェル領域13aもストライプ状であり、しかもp仕切り領域12bの上方に設けられているが、必ずしもこのようであればならない訳ではなく、図11のように、互いに直交するストライプ状とすることもできる。nドリフト領域とp仕切り領域との平面的な形状としては、一方が格子状や網状であり、他方がその中に挟まれた形状でも良い。その他多様な配置が考えられる。

【0027】この実施例1の超接合半導体素子の電流を流す活性部10aの外側の周縁部10bでは、ソース電極17が接触している最外側のp仕切り領域12cに隣接するnドリフト領域12d上に絶縁膜19を介してソース電極17が延長されている。これにより、nドリフト領域12dの表面層にp仕切り領域12cの電位の影響がおよぼされ、表面での電界は緩和される。

【0028】そして、そのnドリフト領域12dに隣接するp仕切り領域12eに接触して第一フィールドプレート(以下FPと記す)電極20aが設けられており、その第一FP電極20aがまた隣接するnドリフト領域12f上に絶縁膜19を介して延長されていて、nドリフト領域12fの表面層にp仕切り領域12eの電位の影響がおよぼされ、電界が緩和されている点がポイントである。さらにその外側のp仕切り領域12g、12i、12kに接触して同様に第二FP電極20b、第三FP電極20c、第四FP電極20dが設けられ、それぞれ隣接するnドリフト領域12h、12j、12l上に絶縁膜19を介して延長されている。この構造は、必要な数だけ繰り返される。図2の超接合MOSFETでは、第四FP電極まで設けられている。なお、FP電極は、ソース電極17と同じアルミニウム合金膜とすることができる。

【0029】例えば、 400V クラスのMOSFETとして、各部の寸法および不純物濃度等は次のような値をとる。n⁺ドレイン層11の比抵抗は $0.01\Omega \cdot \text{cm}$ 、厚さ $350\mu\text{m}$ 、ドリフト層12の厚さ $30\mu\text{m}$ 、nドリフト領域およびp仕切り領域の幅 $10\mu\text{m}$ (すなわち、同じ領域の中心間隔 $20\mu\text{m}$)、平均不純物濃度 $2.5 \times 10^{15}\text{cm}^{-3}$ 、pウェル領域13aの拡散深さ $1\mu\text{m}$ 、表面不純物濃度 $1 \times 10^{17}\text{cm}^{-3}$ 、n⁺ソース領域14の拡散深さ $0.3\mu\text{m}$ 、表面不純物濃度 $1 \times 10^{20}\text{cm}^{-3}$ である。また絶縁膜19は酸化膜を用い、厚さは $1\mu\text{m}$ である。この厚さは隣の並列pn層へ印加する電圧の設定に関係するが $0.1 \sim 1\mu\text{m}$ 程度である。このような数値としたとき、図1の超接合MOSFETは、十分に耐圧 400V を満足した。

【0030】図3は、図2の超接合MOSFETに 400V の電圧を印加した場合のシミュレーションによる電

11

位分布図である。100V毎の等電位線が示されている。この結果は、等電位線が周縁部10bに広がっており、ソース電極17近傍での電界集中は見られない。すなわち、表面での電界は緩和されて、最大電界は周縁部10bではなく、活性部10aの並列pn層12内にあることがわかる。

【0031】このことは大変重要である。すなわち、最大電界が周縁部10bにある場合には、限られた面積に電流が集中するために容易に素子の破壊が起きる。しかし、図3のように最大電界が、周辺部10bではなく活性部10a内にある場合には、大きな面積で最大電界を維持することになり、アバランシェが発生して電流が流れはじめた時でも大きな電流を維持することができるので、素子は破壊しないからである。

【0032】図4は、印加電圧を変化させたときの図2における第一〜第四FP電極の分担電圧の変化を示した特性図である。この図から、それぞれのFP電極には外側へ向かうに従って電圧差が少なくなっていることがわかる。なお、図2の超接合MOSFETの動作は、次のようにおこなわれる。ゲート電極16に所定の正の電圧が印加されると、ゲート電極16直下のpウェル領域13aの表面層に反転層が誘起され、n⁺ソース領域14から反転層を通じてnドリフト領域12aに電子が注入される。その注入された電子がn⁺ドレイン層11に達し、ドレイン電極18、ソース電極17間が導通する。

【0033】ゲート電極16への正の電圧が取り去られると、pウェル領域13aの表面層に誘起された反転層が消滅し、ドレイン電極18、ソース電極17間が遮断される。更に、逆バイアス電圧を大きくすると、各p仕切り領域12bはpウェル領域13aを介してソース電極17で連結されているので、pウェル領域13aとnドリフト領域12aとの間のpn接合Ja、p仕切り領域12bとnドリフト領域12aとの間のpnJb接合からそれぞれ空乏層がnドリフト領域12a、p仕切り領域12b内に広がってこれらが空乏化される。

【0034】pn接合Jbからの空乏端は、nドリフト領域12aの幅方向に広がり、しかも両側のp仕切り領域12bから空乏層が広がるので空乏化が非常に早まる。従って、nドリフト領域12aの不純物濃度を高めることができる。またp仕切り領域12bも同時に空乏化される。p仕切り領域12bも両側のpn接合から空乏層が広がるので空乏化が非常に早まる。p仕切り領域12bとnドリフト領域12aとを交互に形成することにより、隣接するnドリフト領域12aの双方へ空乏端が進入するようになっているので、空乏層形成のためのp仕切り領域12bの総占有幅を半減でき、その分、nドリフト領域12aの断面積の拡大を図ることができる。

【0035】例えば、従来の単層の高抵抗ドリフト層を持つ縦型MOSFETでは、400Vクラスの耐圧とす

12

るためには、ドリフト層12の不純物濃度としては $5 \times 10^{14} \text{ cm}^{-3}$ 、厚さ30 μm 程度必要であったが、本実施例の超接合MOSFETでは、nドリフト領域12aの不純物濃度を高くしたことによりオン抵抗としては約5分の1に低減でき、しかも耐圧は十分に確保される。

【0036】なお、nドリフト領域12aの幅を狭くし、不純物濃度を高くすれば、より一層のオン抵抗の低減、およびオン抵抗と耐圧とのトレードオフ関係の改善が可能である。

【実施例2】図5は、本発明の実施例2の縦型の超接合MOSFETの部分断面図である。但し、MOSFETの活性部の詳細な構造を省略して示した。

【0037】図5においては、ソース電極17が接触する最外側のp仕切り領域12cに隣接するnドリフト領域12dの上に絶縁膜19を介してソース電極17が延長されているのは実施例1と同じであるが、次のp仕切り領域12eの表面に接触して設けられた第一FP電極20aが、隣接するnドリフト領域12fの次のnドリフト領域12h上まで絶縁膜19を介して延長されている点が実施例1と違っている。すなわち、図2では並列pn層1組ごとにFP電極を付加する構造としたが、図5では2組の並列pn層に対して1つのFP電極を設けたものである。第二FP電極20bも同様である。

【0038】超接合半導体素子では、(2)式に与えられるようにオン抵抗がnドリフト領域の幅dに比例する。すなわちdを狭くしていくと特性はそれに比例して改善する。その一方でdを小さくすると微細加工が必要となり、高度な加工技術を必要とするようになる。この実施例2の場合には、超接合の幅dが小さくなくてもFP電極はそれほど細かくパターンニングする必要は無い利点がある。

【0039】何組の並列pn層についてFP電極1つを割り当てるかは、耐圧やdの設定によって決めるべき設計の項目である。例えば、図4からわかるように内側のFP電極は大きな電圧を維持するため、内側は2ないし、3組の超接合で一つのFP電極とし、外側へ行くに従って数を減らすというような変形も可能である。

【実施例3】図6は、図2の実施例1を変形させた本発明実施例3の縦型の超接合MOSFETの部分断面図であり、やはりnチャネルMOSFETの場合である。

【0040】この例ではFP電極20a、20b等はp仕切り領域12e、12gの表面には接触しておらず、nドリフト領域12f、12hの上の絶縁膜19の上に載せて配置してあるだけである。このようにしても、FP電極20a、20b等は絶縁膜19の容量を介して互いに電氣的に結合しており、その電位の影響を下方の並列pn層に及ぼすことができ、図2の実施例1と同様に電界緩和が可能である。

【0041】この例では、FP電極をp仕切り領域の表面に接触させるためのコンタクトホールを形成する必要

10

20

30

40

50

13

が無い場合、特に微細なパターンの場合には有効である。また、実施例2のように複数の組の並列pn層上にFP電極を設けてもよい。

【実施例4】図7は、本発明実施例4の縦型の超接合MOSFETの部分断面図であり、やはりnチャネルMOSFETの場合である。

【0042】実施例3の超接合MOSFETでは、金属のFP電極間は絶縁膜となって容量で結合しているが、この例ではFP電極20a、20b等の間を抵抗性膜21でつないだ構造となっている。このように抵抗性膜21で接続することにより、各FP電極の電位を強く固定できるようにしたものである。抵抗性膜21としては、アモルファスシリコンやシリコンリッチの酸化シリコン、或いは窒化シリコンなどが用いられる。

【0043】【実施例5】図8は、本発明実施例5の縦型の超接合MOSFETの部分断面図であり、やはりnチャネルMOSFETの場合である。この例では、金属のFP電極を用いずに抵抗性膜だけとしている。すなわちソース電極17とチップ周縁の周縁電極22との間に抵抗性膜21が設けられている。抵抗性膜21は、絶縁膜19を介して下部の並列pn層に連続的な電位を与えることができるために有利である。ただし、抵抗値の制御が不安定になりやすく、製造工程の管理を厳しくおこなう必要がある。

【0044】【実施例6】これまでの実施例は、並列pn層に対して並行な周辺部分についての説明であった。素子にはそれと垂直方向の周辺部分端部が存在するが、その垂直方向の周辺部分端部については並列pn層の端部を安定化処理するものとした。並列pn層の端部をダイシングによって切断したままでは、切断した部分からp仕切り領域を通じてリーク電流がソース電極17へと流れ込み、リーク電流の増大を招くからである。

【0045】本実施例は、その垂直方向の周辺部分において、より確実に高耐圧化を図れる構造としたものである。図9は、本発明実施例6の縦型の超接合MOSFETの半導体チップの端部の平面図である。並列pn層に対して並行な周辺部分については、実施例1と同様とし、第一から第四FP電極20a~20dを設けた。ギザギザの端部は、ダイシングによる欠陥の多い表面を表している。

【0046】並列pn層に対して垂直な周辺部分には、n型の領域23（以下ストッパ領域と称する）を形成する。このnストッパ領域23の深さは、n+ドレイン領域11に達しており、幅は5 μ m、不純物濃度はnドリフト層12aと同じかそれ以下とする。このnストッパ領域23によって、リーク電流がソース電極17へ流れ込むのを防止できる。

【0047】場合によっては、複数のnストッパ領域23を設け、その間隔を、100~500 μ m程度の適当な周期で形成する。この垂直方向のnストッパ領域23

14

は、実施例1に限らず、実施例2~5の半導体装置にも適用できる。特に実施例第4および第5の実施例の抵抗性膜を使用する場合には、垂直方向には抵抗性膜は無くても良い。

【0048】なお、以上の実施例はいずれもnチャネル型のMOSFETとしたが、MOSFETだけでなく、IGBTでも同様の効果が得られる。またpnダイオード、ショットキーバリアダイオード、バイポーラトランジスタでも同様の効果が得られる。

【0049】

【発明の効果】以上説明したように本発明は、オン状態では電流を流すと同時にオフ状態では空乏化する第一導電型ドリフト領域と第二導電型仕切り領域とを交互に配置した並列pn層とを備える超接合半導体素子において、素子活性部の周りに並列pn構造が配置されているため、オフ状態では、多重のpn接合面から空乏層が拡張し、素子活性領域の近傍に限らず、外方向や第二主面側まで空乏化するので、素子外周部の耐圧が大きくなり、素子外周部の耐圧は素子活性部の耐圧よりも大きい。従って、ドリフト部に縦型の並列pn構造を採用した超接合半導体素子においても、素子外周部の耐圧が十分に保証されていることになるため、ドリフト部の並列pn構造の最適化が容易で、超接合半導体素子の設計自由度が高まり、超接合半導体素子を実用化できる。

【0050】また、活性部の外側の並列pn層の第一導電型ドリフト領域上に絶縁膜を介してFP電極を設けることによって、表面の電界が緩和され、高耐圧を容易に実現できるようになった。FP電極は、内側の第二導電型仕切り領域表面に接触させ、或いは浮遊させる。複数の第一導電型ドリフト領域に跨がっていても良い。更に、隣接するFP電極間に、抵抗を設ければ、FP電極の電位固定に役立つ。

【0051】また、並列pn層に垂直方向に低抵抗層まで達する第一導電型ストッパ領域を設けることにより、より確実に高耐圧化できることを示した。つまり、第一導電型ストッパ領域を設けることにより、表面の反転を防止するためのチャンネルストッパとして機能するばかりか、素子外周部の並列pn構造のpn繰返し端面（横断面）を覆っているため、その横断面がチップのダイシング面として露出せず、漏れ電流を抑制できると共に、素子外周部の並列pn構造の周囲をドレイン電位に保持でき、素子の絶縁耐圧が安定し、品質も向上する。

【0052】本発明は、高耐圧化の超接合半導体素子の実現のために、極めて重要な発明である。

【図面の簡単な説明】

【図1】本発明実施例のMOSFETの部分断面図

【図2】本発明実施例1のMOSFETの部分断面図

【図3】実施例1のMOSFETにおける電圧400V印加時の電位分布図

【図4】各FPの分担電圧の変化を示す特性図

15

- ・【図5】本発明実施例2のMOSFETの部分断面図
 【図6】本発明実施例3のMOSFETの部分断面図
 【図7】本発明実施例4のMOSFETの部分断面図
 【図8】本発明実施例5のMOSFETの部分断面図
 【図9】本発明実施例6のMOSFETの部分断面図
 【図10】従来のトレンチ型MOSFETの斜視断面図
 【図11】トレンチ型超接合MOSFETの斜視断面図
 【図12】超接合半導体素子と従来型半導体素子のオン抵抗の比較図

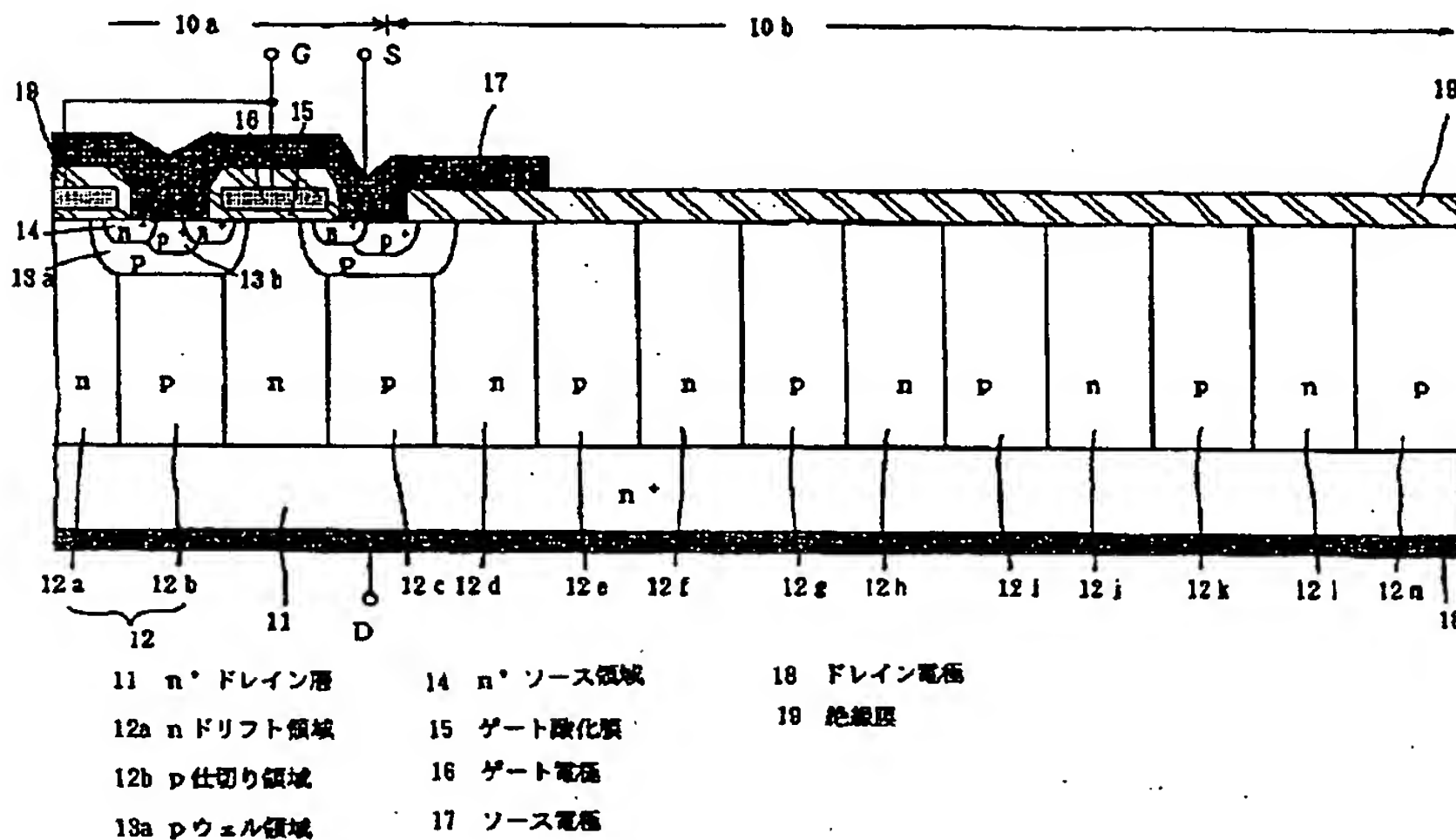
【図13】(a)はガードリングをもつ半導体素子の部分断面図、(b)はフィールドプレートを持つ半導体素子の部分断面図

【符号の説明】

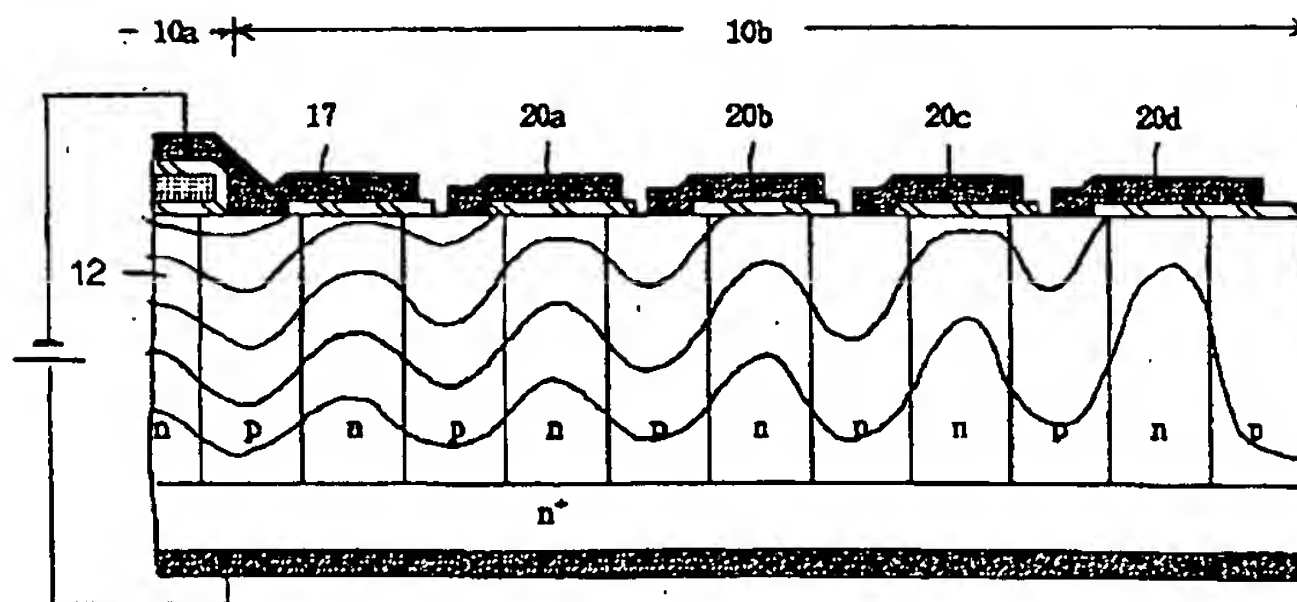
- 1、11 n⁺ドレイン層
 2、12 ドリフト層
 3、13 pウェル領域

- * 4、14 n⁺ソース領域
 5、15 ゲート絶縁膜
 6、16 ゲート電極
 7、17 ソース電極
 8、18 ドレイン電極
 9、19 絶縁膜
 10a 活性部
 10b 周縁部
 12a、12d、12f、12h、12j、12l n
 ドリフト領域
 12b、12c、12e、12g、12i、12k、12m p仕切り領域
 20a、20b、20c、20d FP電極
 21 抵抗膜
 22 周縁電極
 * 23 nストップ領域

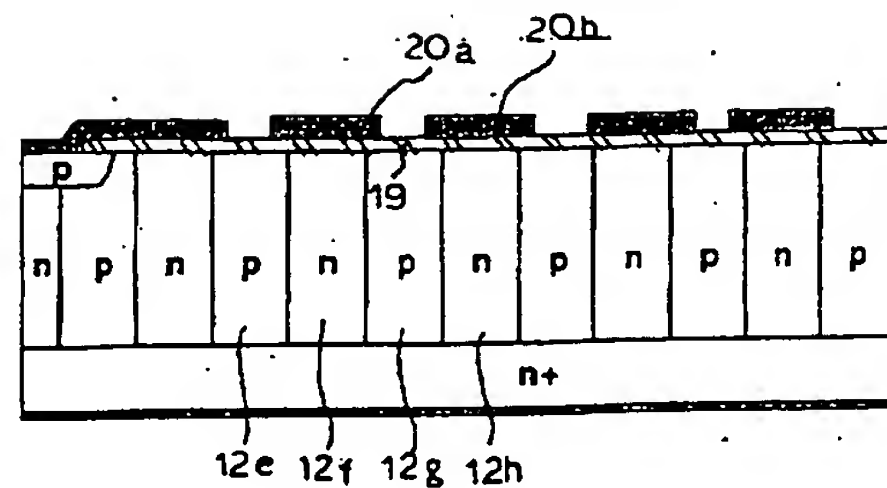
【図1】



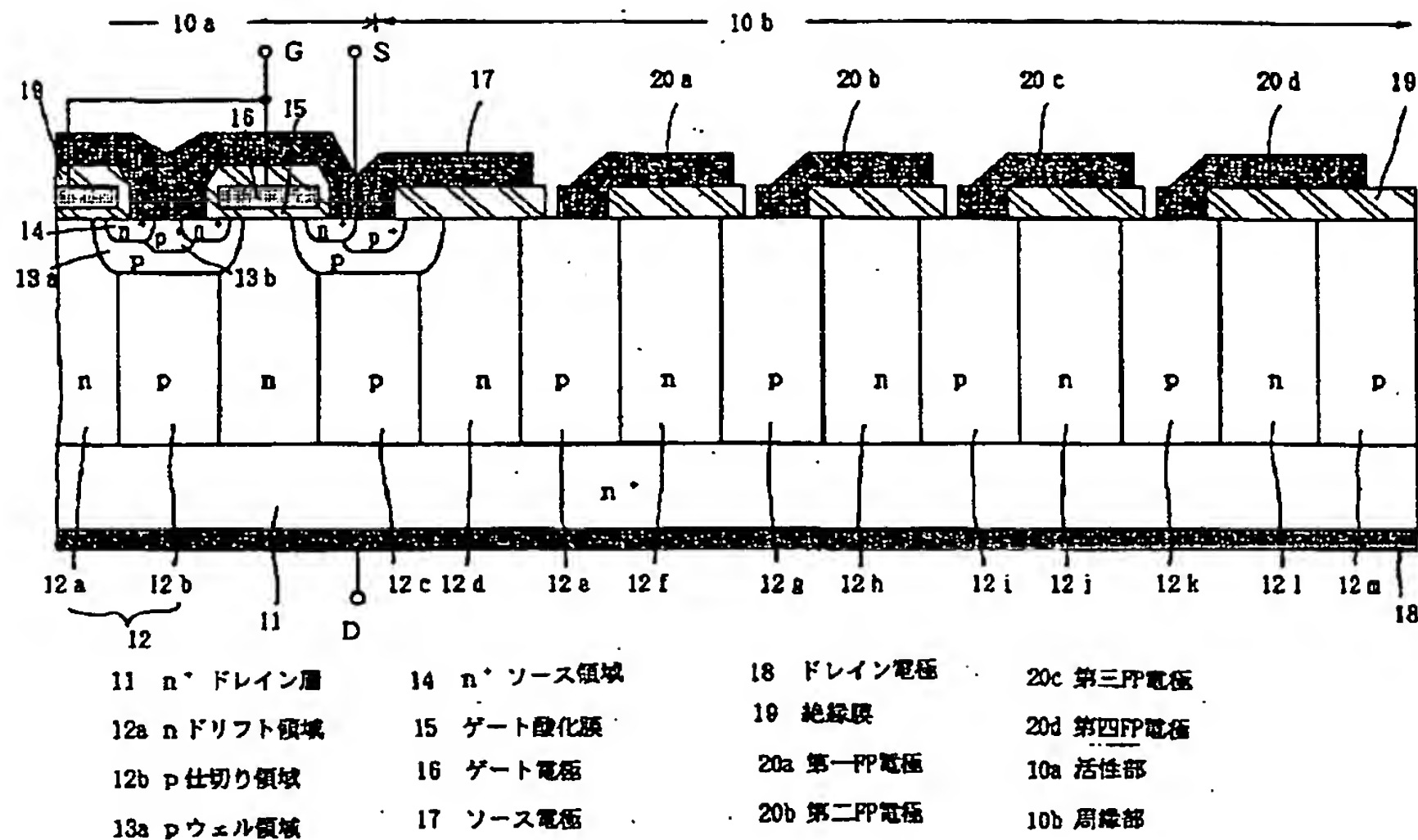
【図3】



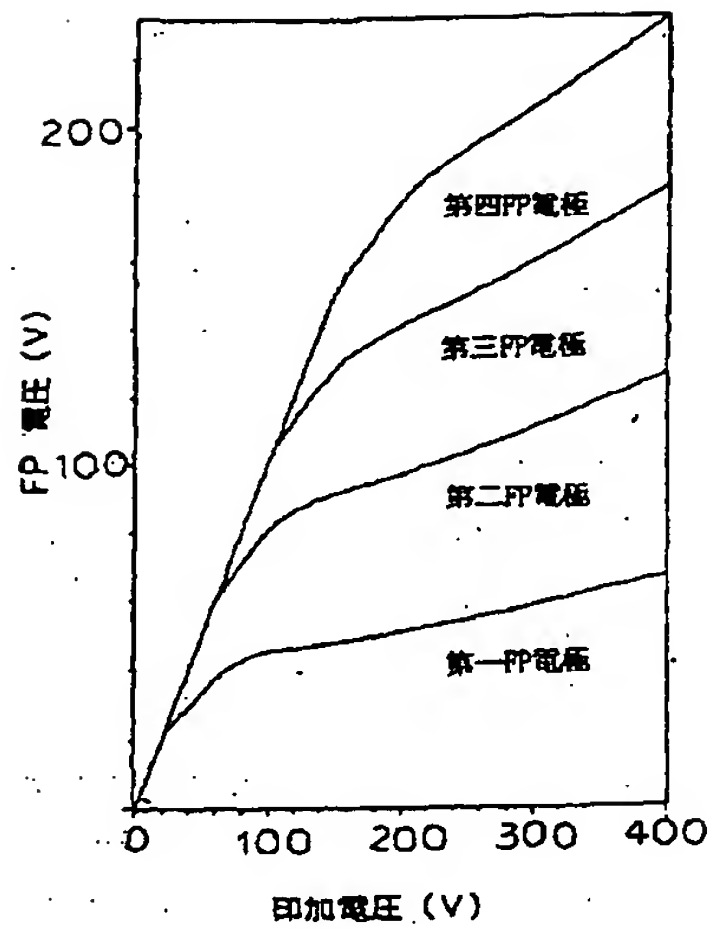
【図6】



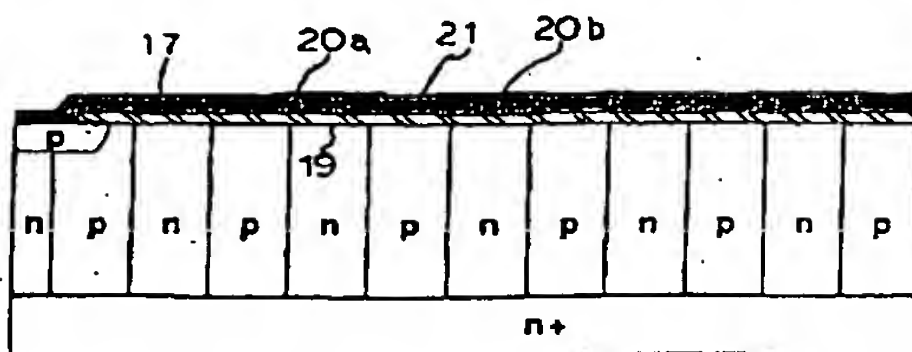
【図2】



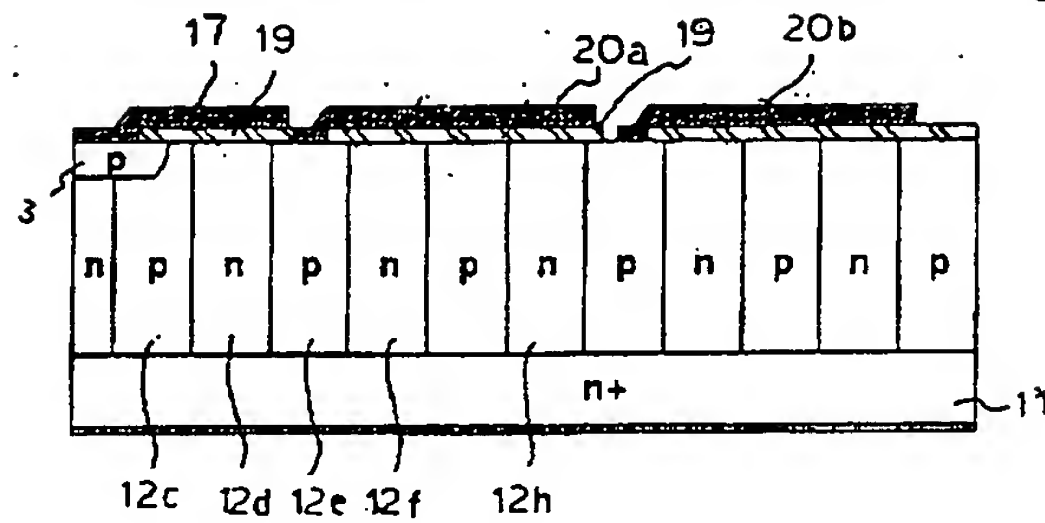
【図4】



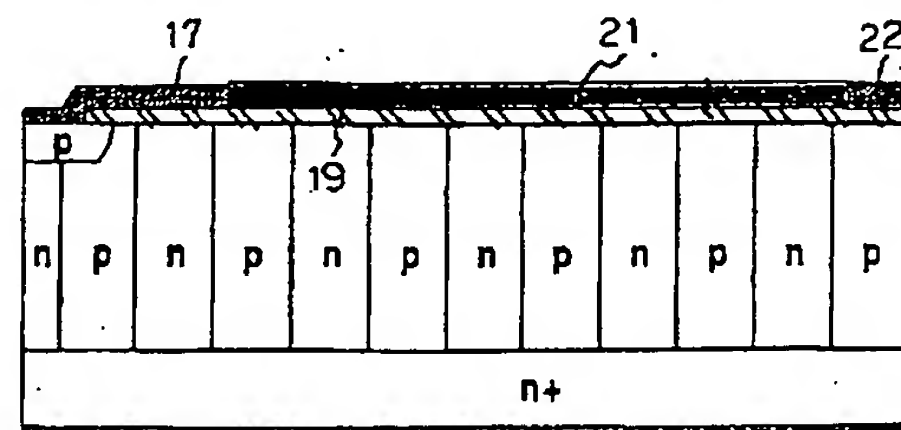
【図7】



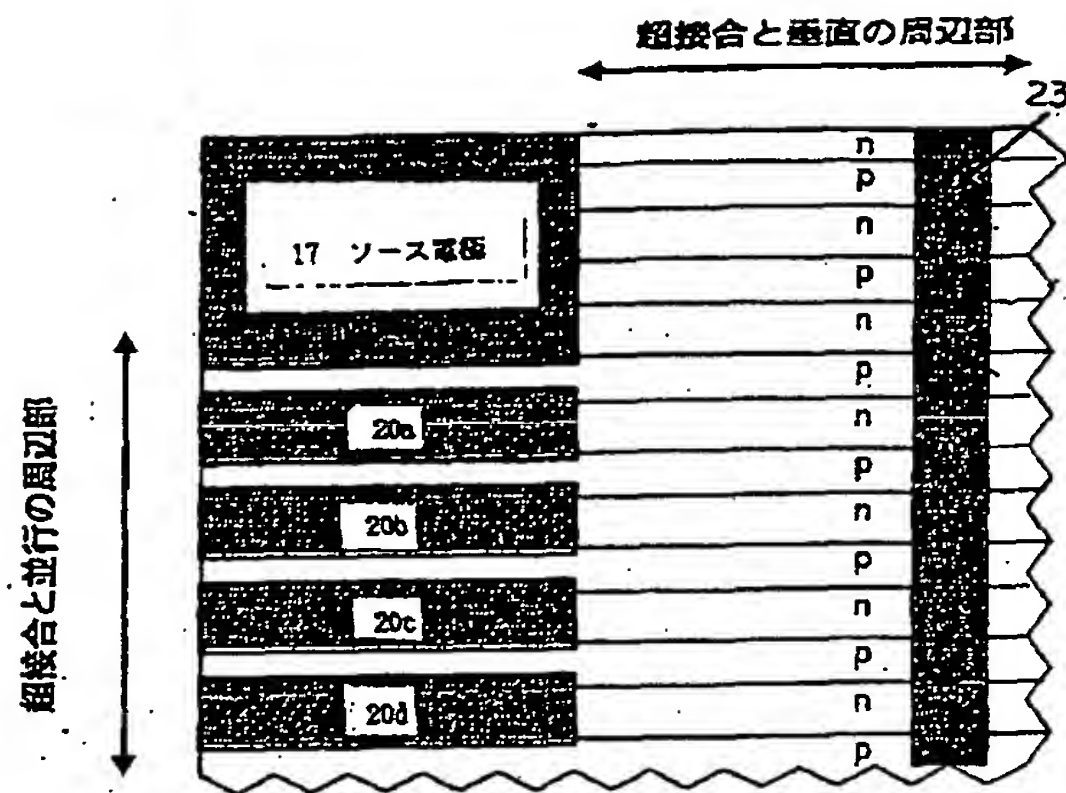
【図5】



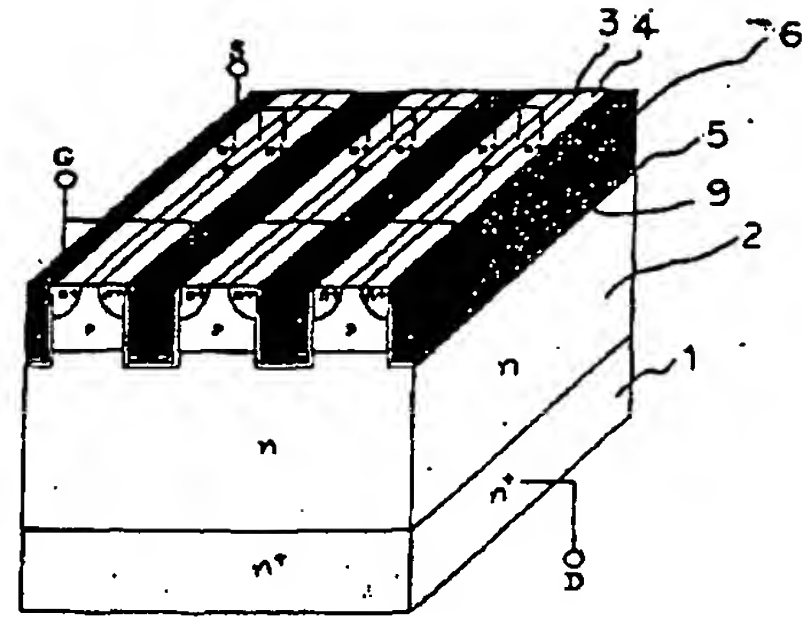
【図8】



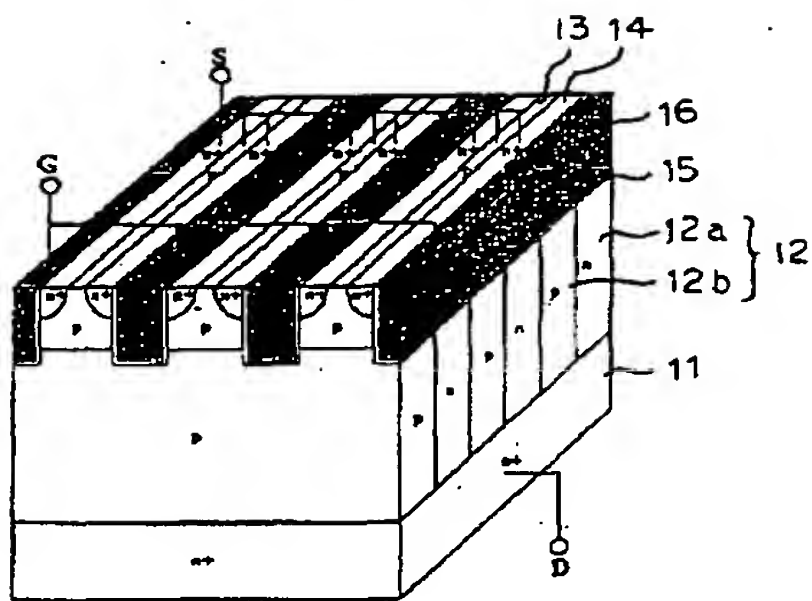
【図9】



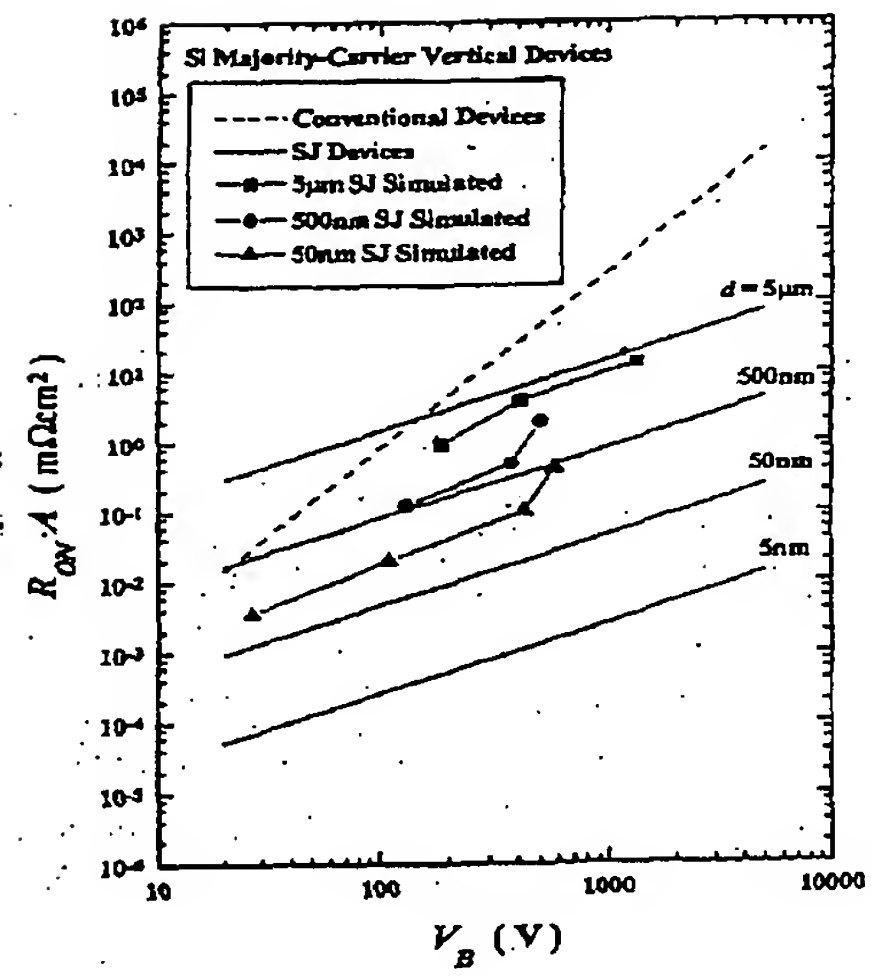
【図10】



【図11】



【図12】



【図13】

